

④日本国特許庁 (JP)

①特許出願公開

⑫ 公開特許公報 (A)

昭59—22438

⑤Int. Cl.³
H 03 K 7/06
H 03 K 13/20

識別記号

庁内整理番号
6942—5 J
7530—5 J

⑥公開 昭和59年(1984) 2月 4日

発明の数 1
審査請求 未請求

(全 7 頁)

④両極性アナログ一周波数変換回路

東京都千代田区内幸町 1 丁目 1 番 3 号

①特 願 昭57—130398

⑦出 願 人 大崎電気工業株式会社

②出 願 昭57(1982) 7月 28日

東京都品川区東五反田 2 丁目 2

③発 明 者 清水宏一

番 7 号

川崎市多摩区菅4412番地

⑧代 理 人 弁理士 中村裕

⑨出 願 人 東京電力株式会社

明 細 書

1. 発明の名称 両極性アナログ一周波数変換回路

2. 特許請求の範囲

1. 極性を有する入力アナログ信号と、該入力アナログ信号とは逆極性の逆極性入力アナログ信号とを、交互に切り換える入力切換回路と、該入力切換回路から入力するアナログ信号を両極性共用の回路素子により積分し、アナログ信号の極性によって異なる極性の積分出力信号を出力する積分回路と、一方の極性の積分出力信号レベルが一方の極性の基準値を越えた時に比較出力信号を第 1 出力端子から出力し、他方の極性の積分出力信号レベルが他方の極性の基準値を越えた時に比較出力信号を第 2 出力端子から出力し、第 1 出力端子及び第 2 出力端子の比較出力信号によつて積分回路をリセットさせる比較回路と、比較回路の第 1 出力端子からの比較出力信号と該信号に続く第 2 出力端子の比較出力信号とによつて 1 個の周波数出力信号を発生する周波

数出力信号発生回路と、比較回路の第 1 出力端子及び第 2 出力端子からの比較出力信号の立上りによつて入力切換回路を切換える切換制御回路と、積分回路の積分出力信号の極性及び入力切換回路の切換状態に応じて極性を判別し、表示する極性表示回路とを備えた両極性アナログ一周波数変換回路。

3. 発明の詳細な説明

本発明は電圧や電流などのアナログ信号を周波数に変換すると共に、そのアナログ信号の極性を表示する極性表示機能付両極性アナログ一周波数変換回路の改良に関する。

従来の両極性アナログ一周波数変換回路は、単極性アナログ一周波数変換回路を利用するものであり、その場合、バイアス入力をあらかじめ印加したり、アナログ信号を絶対値回路により絶対値に変換し、該絶対値を A/D 変換器に入力するなどの手段がとられてきた。しかし、これらの手続は、正負アナログ信号の変換精度を等しくできない、アナログ信号の入力範囲をせ

ばめてしまう。アナログ信号の入力レベルが小さくなると、極性表示が不正確になる、などの問題があつた。また、微小アナログ信号入力時に影響するオフセットドリフト誤差を低減させること、及び無入力時のオフセットドリフトによる起動を防ぐことが課題であつた。

本発明の目的は、上述した問題点及び課題を解決し、正と負とでの変換精度を等しくすることができ、アナログ信号の入力範囲をせばめることがなく、アナログ信号の入力レベルが小さくなつても、極性を正確に判別することができ、しかもオフセットドリフト誤差を大幅に低減することができる、無入力時のオフセットドリフトによる起動をなくすることができる両極性アナログ周波数変換回路を提供することである。

この目的を達成するために、本発明は、極性を有する入力アナログ信号と、該入力アナログ信号とは逆極性の逆極性入力アナログ信号とを、交互に切り換える入力切換回路と、該入力切換回路から入力するアナログ信号を両極性共用の

回路素子により積分し、アナログ信号の極性によつて異なる極性の積分出力信号を出力する積分回路と、一方の極性の積分出力信号レベルが一方の極性の基準値を越えた時に比較出力信号を第1出力端子から出力し、他方の極性の積分出力レベルが他方の極性の基準値を越えた時に比較出力信号を第2出力端子から出力し、第1出力端子及び第2出力端子の比較出力信号によつて積分回路をリセットさせる比較回路と、比較回路の第1出力端子からの比較出力信号と該信号に続く第2出力端子からの比較出力信号とによつて1個の周波数出力信号を発生する周波数出力信号発生回路と、比較回路の第1出力端子及び第2出力端子からの比較出力信号の立上りによつて入力切換回路を切り換える切換制御回路と、積分回路の積分出力信号の極性及び入力切換回路の切換状態に応じて極性を判別し、表示する極性表示回路とを備えたものである。

以下、本発明を図示の実施例に基づいて詳細に説明する。

第1図は本発明の一実施例を示す。入力端子 I_1 には極性を有する入力アナログ信号 E_a が入力し、入力端子 I_2 には入力アナログ信号 E_a とは逆極性の逆極性入力アナログ信号 $-E_a$ が入力する。入力切換回路1は切換スイッチ2、3及びスイッチドライバ4、5から成る。積分回路6は、抵抗 R 、コンデンサ C 、演算増幅器7、リセットスイッチ8及びリセットスイッチドライバ9から成り、これらは両極性共用の回路素子である。10は比較回路で、二つのコンパレータ11、12及び等しい基準電圧 E_b の基準電源13、14から成る。コンパレータ11の反転入力端子には正の基準電圧 $+E_b$ が印加され、コンパレータ12の非反転入力端子には負の基準電圧 $-E_b$ が印加される。比較回路10の第1出力端子15と第2出力端子16とは波形整形用のバッファ17、18を経てRSフリップフロップ19、オアゲート20及び極性表示回路21にそれぞれ接続される。RSフリップフロップ19の出力端子Qから周波数出力信号 f が出力され

る。オアゲート20の出力側にはリセットスイッチドライバ9及び単一パルス発生回路22が接続され、単一パルス発生回路22の出力側にはTフリップフロップ23が接続される。Tフリップフロップ23の出力端子Qは極性表示回路21に接続されると共に、スイッチドライバ4及びインバータ24を経てスイッチドライバ5に、それぞれ接続される。極性表示回路21は極性表示信号Pを出力するもので、本実施例では極性表示信号Pは、ローレベルで正を、ハイレベルで負を、それぞれ表示する。なお、切換スイッチ2、3及びリセットスイッチ8は例えば電界効果トランジスタにより構成される。

次に、動作を第2図のタイムチャートを参照しつつ説明する。入力アナログ信号 E_a の極性が正である場合には、入力端子 I_1 には入力アナログ信号 $+|E_a|$ が、入力端子 I_2 には逆極性入力アナログ信号 $-|E_a|$ が、それぞれ印加される。Tフリップフロップ23の出力初期状態がローレベルであると、インバータ24を経てスイッ

チドライバ5が動作し、切換スイッチ3がオンとなる。スイッチドライバ4は動作しないので、切換スイッチ2はオフである。これによつて、逆極性入力アナログ信号 $-E_a$ が積分回路6に入力され、正の方向に積分される。コンパレータ11は正の積分出力信号を正の基準電圧 $+E_a$ と比較し、この積分出力信号レベルが正の基準電圧 $+E_a$ を越えた時にハイレベルの比較出力信号を第1出力端子15から出力する。その結果、バッファ17及びオアゲート20の出力もハイレベルとなる。オアゲート20のハイレベルの出力によつてリセットスイッチ8はオンとなり、コンデンサCの充電電荷を放電し、積分出力信号のレベルを積分開始電位である零電位とする。同時に、バッファ17の出力によつてRSフリップフロップ19はセットされ、その出力端子Qの出力レベルはハイレベルとなる。また、オアゲート20の出力の立上りによつて単一パルス発生回路22は所定パルス幅の単一パルスを発生し、Tフリップフロップ23の入

力端子Tに入力し、その出力端子Qの出力レベルをハイレベルにする。これによつて、スイッチドライバ4が動作して、切換スイッチ2をオンにし、スイッチドライバ5が動作を止めて、切換スイッチ3をオフにするので、入力アナログ信号 $+E_a$ が積分回路6に入力される。積分出力信号レベルが零電位に戻ったことによつて、比較出力信号が零レベルになるので、リセットスイッチ8はオフとなり、今度は積分回路6は負の方向に入力アナログ信号 $+E_a$ を積分する。コンパレータ12は負の積分出力信号が負の基準電圧 $-E_a$ を下まわった時にハイレベルの比較出力信号を第2出力端子16から出力する。その結果、バッファ18及びオアゲート20の出力はハイレベルとなり、RSフリップフロップ19はリセットされて、その出力端子Qの出力レベルはローレベルとなり、リセットスイッチ8はオンとなつて、コンデンサCの充電電荷を放電し、単一パルス発生回路22は単一パルスを発生して、Tフリップフロップ23

の出力をローレベルにし、切換スイッチ2をオフとし、切換スイッチ3をオンとする。このような動作が繰り返されて、入力アナログ信号 E_a の極性が変わらない限り、積分回路6の積分出力信号は第2図に示されるように周期 T_1 、 T_2 で锯齿状波を交互に折り返した波形となる。そして、入力アナログ信号 E_a の極性が変化しない間、比較回路10の第1出力端子15と第2出力端子16とは交互に比較出力信号を出力し、第1出力端子15からの比較出力信号とそれに続く第2出力端子16からの比較出力信号の両方によつてRSフリップフロップ19は1個のパルスを発生し、このパルスを周波数出力信号 f として出力する。

極性表示回路21はバッファ17、18の出力及びTフリップフロップ23の出力に応じて入力アナログ信号 E_a の極性を判別し、表示するもので、その一例を第3図に示す。25は遅延回路、26、27はインバータ、28〜31はアンドゲート、32、33はオアゲート、34

はRSフリップフロップである。この極性表示回路21は、バッファ17がハイレベルの出力を出す直前のTフリップフロップ23の出力がローレベルであれば、極性を正と判別し、ハイレベルであれば、極性を負と判別し、バッファ18がハイレベルの出力を出す直前のTフリップフロップ23の出力がローレベルであれば、極性を負と判別し、ハイレベルであれば、極性を正と判別する。即ち、バッファ17がハイレベルの出力を出す直前は積分回路6は正の方向に積分しているから。積分回路6に入力しているアナログ信号の極性は負であり、その時Tフリップフロップ23の出力がローレベルということは切換スイッチ3がオンしていることであるから、入力しているアナログ信号は逆極性入力アナログ信号 $-E_a$ であり、その極性が負なら、入力アナログ信号 E_a の極性は正となるのである。

第3図において、バッファ17のハイレベルの出力がアンドゲート28、31に入力した時、その直前のTフリップフロップ23の出力は遅

延回路 25 によつて遅延されて、アンドゲート 28 に直接、そしてアンドゲート 31 にインバータ 27 を経て、それぞれ入力されているので、遅延回路 25 の出力がローレベルであれば、アンドゲート 31 がハイレベルの出力をオアゲート 33 を経て RS フリップフロップ 34 のリセット入力端子 R に送り、これをリセットして、極性表示信号 P をローレベルとし、極性を正であると表示する。遅延回路 25 の出力がハイレベルであれば、アンドゲート 28 がハイレベルの出力をオアゲート 32 を経て RS フリップフロップ 34 のセット入力端子 S に送り、これをセットして、極性表示信号 P をハイレベルとし、極性を負であると表示する。

バッファ 18 のハイレベルの出力がアンドゲート 29、30 に入力した時に、その直前の T フリップフロップ 23 の出力は遅延回路 25 によつて遅延されて、アンドゲート 29 にインバータ 26 を経て、そしてアンドゲート 30 に直接、それぞれ入力されているので、遅延回路 2

5 の出力がローレベルであれば、アンドゲート 29 がハイレベルの出力を出して、RS フリップフロップ 34 をセットし、極性表示信号 P をハイレベルとし、遅延回路 25 の出力がハイレベルであれば、アンドゲート 30 がハイレベルの出力を出して、RS フリップフロップ 34 をリセットし、極性表示信号 P をローレベルとする。

入力アナログ信号 E_s と周波数出力信号 f との関係をオフセットドリフト V_f による影響も含めて求めると、以下ようになる。

周波数出力信号 f は RS フリップフロップ 19 の出力であるから、その周期は積分回路 6 の積分出力信号の周期 $T = T_1 + T_2$ と等しくなる。周期 T_1 と周期 T_2 とは下式で表わされる。

$$T_1 = \frac{C \cdot R \cdot E_s}{E_s + V_f} \quad (1)$$

$$T_2 = \frac{C \cdot R \cdot (-E_s)}{-E_s + V_f} = \frac{C \cdot R \cdot E_s}{E_s - V_f} \quad (2)$$

したがって、

$$T = T_1 + T_2 = \frac{C \cdot R \cdot E_s}{E_s + V_f} + \frac{C \cdot R \cdot E_s}{E_s - V_f} = \frac{2E_s \cdot C \cdot R \cdot E_s}{E_s^2 - V_f^2} \quad (3)$$

$$f = \frac{1}{T} = \frac{E_s^2 - V_f^2}{2E_s \cdot C \cdot R \cdot E_s} = \frac{E_s}{2 \cdot C \cdot R \cdot E_s} - \frac{\frac{V_f^2}{E_s^2}}{2 \cdot C \cdot R \cdot E_s} \quad (4)$$

即ち、(4)式の第2項がオフセットドリフト V_f による変換誤差である。この変換誤差を Δf とし、 f をオフセットドリフト V_f のない時の周波数出力信号とすると、(5)式が求まる。

$$\Delta f = \frac{f - f'}{f'} = -\frac{V_f^2}{E_s^2} \quad (5)$$

つまり、周波数出力信号 f の 1 周期 T 内で、オフセットドリフト V_f の影響が(1)式及び(2)式からわかるように正と負とに振り分けられた形となり、オフセットドリフト V_f の影響は $-V_f^2/E_s^2$ に減少する。

積分回路 6 の積分方向を入力アナログ信号 E_s の極性によつて正の方向のみ、或は負の方向の

みに限ることによつて入力アナログ信号 E_s を周波数に変換することができるが、この方法では回路構成が簡単であるという長所はあるが、オフセットドリフト V_f による影響は低減されない。例えば正方向の積分のみの場合、その周波数出力信号 f_1 及び変換誤差 Δf_1 は下記ようになる。

$$f_1 = \frac{1}{T_1} = \frac{E_s + V_f}{C \cdot R \cdot E_s} \quad (6)$$

$$\Delta f_1 = \frac{f_1 - f'_1}{f'_1} = \frac{V_f}{E_s} \quad (7)$$

例として、 $E_s = 100 \text{ mV}$ の時に $V_f = 10 \text{ mV}$ であつた場合の変換誤差を求めてみると、本実施例では -1% であるのに対し、正方向の積分のみの場合には 10% となる。

また、周波数出力信号 f の 1 周期 T 内で、積分出力信号の極性を反転させていることにより以下の長所が生ずる。即ち、正方向又は負方向のみの積分の場合、 $E_s = 0$ とすると、(6)式は下記の(8)式となり、無入力時においてもオフセットドリフト V_f に比例した周波数出力信号 f_1 を出

してしう。

$$f_1 = \frac{1}{T_1} = \frac{V_d}{C \cdot R \cdot E_a} \quad (8)$$

これに対して、本実施例によれば、(4)式において $E_a = 0$ とおけば、

$$f = -\infty \quad (9)$$

となり、即ち無入力時では起動しないことになる。

本実施例によれば、積分回路6の各回路素子は入力する正負両極性のアナログ信号 $+|E_a|$ 又は $-|E_a|$ に共用されるものであり、その積分出力信号のレベルは正負で絶対値が等しくなるので、正と負とでの交換精度を等しくすることができる。これに対して、従来の絶対値回路を有する両極性アナログ—周波数変換回路においては、絶対値回路が一方の極性の誤差、例えば抵抗のマッチング誤差、オフセット誤差などを有し、これらの誤差は正の入力と負の入力とでは逆に作用するので、正負の入力の変換精度を等しくすることはできない。また、本実施例

によれば、パルファ17、18及びTフリップフロップ23の出力に応じて入力アナログ信号 E_a の極性を判別しているため、入力アナログ信号 E_a のレベルが小さくても、極性の判別を正確にすることができるが、従来の両極性アナログ—周波数変換回路では、入力アナログ信号のレベルを零レベルとコンパレータにより比較することで、極性を判別しているため、入力アナログ信号のレベルが小さくなると、コンパレータの出力が不安定となり、極性を正確に判別することができない。更に、本実施例によれば、積分回路6は異なる極性の積分出力信号を出力するもので、正負両極性ともフルレンジ使用することができるので、アナログ信号の入力範囲をせばめることがない。従来のバイアス入力を印加するタイプの両極性アナログ—周波数変換回路では、積分回路は正負両極性の入力に対して出力レンジは正のみを用いるので、アナログ信号の入力範囲が狭にせざるを得ない。

図示実施例において、RSフリップフロップ

19が本発明の周波数出力信号発生回路に相当し、単一パルス発生回路22、Tフリップフロップ23及びインバータ23が本発明の切換制御回路に相当する。

なお、第2図において入力アナログ信号 E_a が正又は負に保持されている時間は積分回路6の積分出力信号の周期Tの2倍程度に示されているが、これは図の関係からで、実際は周期Tに比べて著しく長い。

積分回路6は演算増幅器7を用いるものには限定されない。例えば、入力アナログ信号が電流の場合には、抵抗、コンデンサ及びリセットスイッチのみから成るものでもよい。

比較回路10は二つのコンパレータ11、12を用いるものには限定されず、コンパレータ一つにして、その出力を積分出力信号の正負に応じて第1出力端子15と第2出力端子16とに振り分けるようにしてもよい。

極性表示回路21は第3図のものには限定されない。積分回路6において、負方向の積分が

2回続いたこと、又は正方向の積分が2回続いたことをアナログ的又はデジタル的に検出し、その時のTフリップフロップ23の出力によって極性を判別するようにしてもよい。

以上説明したように、本発明によれば、積分回路において入力アナログ信号又は逆極性入力アナログ信号を両極性共用の回路素子により積分するようにしたから、正と負とでの交換精度を等しくすることができる。また、積分回路を入力するアナログ信号の極性によつて異なる極性の積分出力信号を出力するものにしたから、アナログ信号の入力範囲をせばめることがない。更に、積分回路の積分出力信号の極性及び入力切換回路の切換状態に応じて極性を判別し、表示するようにしたから、アナログ信号の入力レベルが小さくなくても、極性を正確に判別することができる。しかも、積分出力信号が基準値を越える毎に入力アナログ信号と逆極性入力アナログ信号とを交互に切り換えて積分回路に入力させるようにしたから、オフセットドリフト

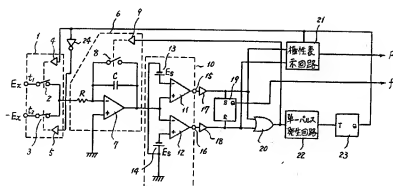
誤差を大幅に低減することができ、無入力時のオフセットドリフトによる起動をなくすることができる。その結果、微小入力時の直線性を優れたものにすることができる。

4. 図面の簡単な説明

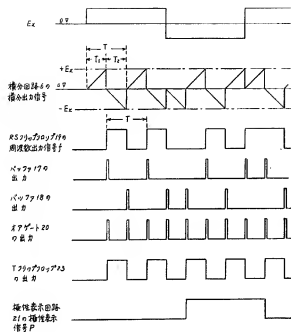
第1図は本発明の一実施例の回路図、第2図はその各部の電圧波形のタイムチャート、第3図は本発明の一実施例における極性表示回路の回路図、第4図はその各部の電圧波形のタイムチャートである。

1…入力切換回路、2、3…切換スイッチ、6…積分回路、8…リセットスイッチ、10…比較回路、13、14…基準電源、15…第1出力端子、16…第2出力端子、19…RSフリップフロップ、21…極性表示回路、22…単一パルス発生回路、23…Tフリップフロップ、 E_x …入力アナログ信号、 $-E_x$ …逆極性入力アナログ信号、 E_s …基準電圧、 f …周波数出力信号、 P …極性表示信号

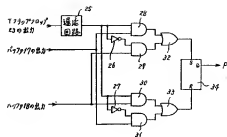
才 1 図



才 2 圖



才 3 圖



才 4 圖

